

Family list5 application(s) for: **JP9321596**

Sorting criteria: Priority Date Inventor Applicant Ecla

1 Differential signal generating circuit having current spike**suppressing circuit****Inventor:** TAKIGUCHI TOMIO [JP]**EC:** H03K17/041B**Publication DE69735659 (T2)** - 2007-05-10
info:**Applicant:** NEC ELECTRONICS CORP [JP]**IPC:** H03K17/04; H03K17/041; H03K17/16; (+10)**Priority Date:** 1996-05-30**2 Differential signal generating circuit having current spike****suppressing circuit****Inventor:** TAKIGUCHI TOMIO [JP]**EC:** H03K17/041B**Publication EP0810732 (A2)** - 1997-12-03
info: EP0810732 (A3) - 1999-07-21
EP0810732 (B1) - 2006-04-12**Applicant:** NEC CORP [JP]**IPC:** H03K17/04; H03K17/041; H03K17/16; (+7)**Priority Date:** 1996-05-30**3 DIFFERENTIAL SIGNAL GENERATION CIRCUIT****Inventor:** TAKIGUCHI TOMIO**EC:** H03K17/041B**Publication JP9321596 (A)** - 1997-12-12
info: JP3045071 (B2) - 2000-05-22**Applicant:** NEC CORP**IPC:** H03K17/04; H03K17/041; H03K17/16; (+10)**Priority Date:** 1996-05-30**4 DIFFERENTIAL SIGNAL GENERATING CIRCUIT HAVING****CURRENT SPIKE SUPPRESSING CIRCUIT****Inventor:** TAKIGUCHI TOMIO [JP]**EC:** H03K17/041B**Publication KR100242221 (B1)** - 2000-02-01
info:**Applicant:** NEC CORP [JP]**IPC:** H03K17/04; H03K17/041; H03K17/16; (+7)**Priority Date:** 1996-05-30**5 Differential signal generating circuit having current spike****suppressing circuit****Inventor:** TAKIGUCHI TOMIO [JP]**EC:** H03K17/041B**Publication US5986463 (A)** - 1999-11-16
info:**Applicant:** NEC CORP [JP]**IPC:** H03K17/04; H03K17/041; H03K17/16; (+8)**Priority Date:** 1996-05-30

Data supplied from the **espacenet** database — Worldwide

DIFFERENTIAL SIGNAL GENERATION CIRCUIT

Publication number: JP9321596 (A)

Publication date: 1997-12-12

Inventor(s): TAKIGUCHI TOMIO +

Applicant(s): NEC CORP +

Classification:

- international: H03K17/04; H03K17/041; H03K17/16; H03K17/687;
H03K19/0948; H03K17/04; H03K17/16; H03K17/687;
H03K19/0948; (IPC1-7): H03K17/04; H03K17/16; H03K17/687;
H03K19/0948

[more >>](#)

- European: H03K17/041B

Application number: JP19960137151 19960530

Priority number(s): JP19960137151 19960530

Also published as:

JP3045071 (B2)

EP0810732 (A2)

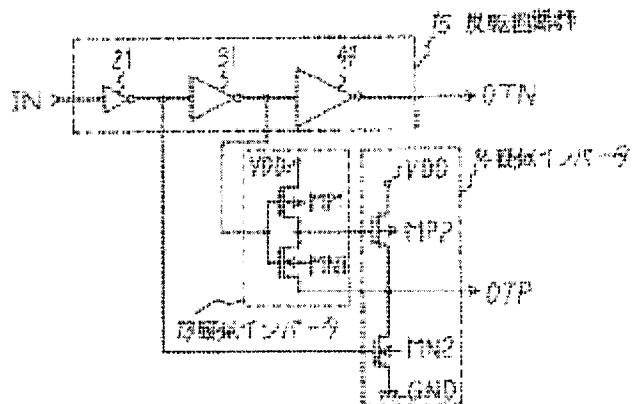
EP0810732 (A3)

EP0810732 (B1)

US5986463 (A)

Abstract of JP 9321596 (A)

PROBLEM TO BE SOLVED: To realize high speed current switching in which the number of elements is reduced, an average current consumption is reduced and the current spike from a current output terminal is reduced. **SOLUTION:** The differential signal generation circuit acting like outputting a couple of differential signals to select a current path of a switching circuit consisting of a couple of differential transistors(TRs) input terminal an input control signal is provided with pseudo-inverters 13, 14 which drive a couple of the differential TRs so that they are not simultaneously nonconductive by delaying a fall time of either of a couple of the differential signals more than a rise time of the control signal or delaying a rise time of either of a couple of the differential signals more than a fall time of the control signal and providing an output of the delayed signal.



(51) Int.Cl. ⁶	識別記号	府内整理番号	F I	技術表示箇所
H 03 K 17/687			H 03 K 17/687	H
17/04			17/04	E
17/16			17/16	H
19/0948			19/094	B

審査請求 有 請求項の数 6 O.L (全 12 頁)

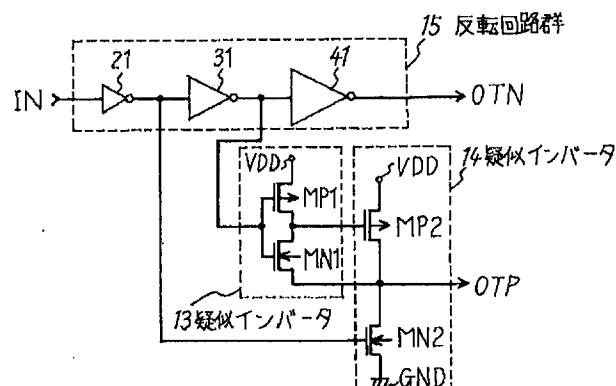
(21)出願番号	特願平8-137151	(71)出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22)出願日	平成8年(1996)5月30日	(72)発明者	滝口 富男 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74)代理人	弁理士 京本 直樹 (外2名)

(54)【発明の名称】 差動信号生成回路

(57)【要約】

【課題】 素子数の少ない構成とともに、平均消費電流を少なくし、さらに電流出力端子からの電流スパイクも少なくできるため、高速の電流切換え動作を実現する。

【解決手段】 入力制御信号に応じて一対の差動トランジスタからなるスイッチ回路18の電流経路を切り換える一対の差動信号を出力する差動信号発生回路16として、前記一対の差動信号うちの一方に、前記制御信号の立ち上り時間よりもその信号の立ち下り時間を遅延させ、または前記制御信号の立ち下り時間よりもその信号の立ち上り時間を遅延させて出力することにより、前記一対の差動トランジスタが同時にオフとならないように駆動する疑似インバータ13、14を備える。



【特許請求の範囲】

【請求項 1】 制御信号に応じて一对の差動トランジスタからなるスイッチ回路の電流経路を切り換える一对の差動信号を出力する差動信号発生回路において、前記一对の差動信号うちの一方に、前記制御信号の立ち上り時間よりもその信号の立ち下り時間を遅延させ、または前記制御信号の立ち下り時間よりもその信号の立ち上り時間を遅延させて出力することにより、前記一对の差動トランジスタが同時にオフとならないように駆動する出力遅延回路を備えたことを特徴とする差動信号生成回路。

【請求項 2】 制御信号を反転して一方の差動信号として出力する反転回路と、前記制御信号を入力して第1、第2の疑似反転を行いつつ前記制御信号を反転した反転制御信号を入力して前記第2の疑似反転を行つて反転しない他方の差動信号を出力する疑似インバータとを備え、この疑似インバータが、前記第1の疑似反転として、共通接続したゲートを入力とし共通接続したドレインを出力とした第1のP型およびN型MOSトランジスタを用い、前記第2の疑似反転として、共通接続したゲートを入力とし前記第1の疑似反転の出力に接続し共通接続したドレインを出力端とした第2のP型およびN型MOSトランジスタを用い、前記各P型トランジスタのドレインを電源端子に接続し、前記第2のN型MOSトランジスタのソースを接地し、前記第1のN型MOSトランジスタのソースを前記第2のP型およびN型MOSトランジスタのドレインに接続した回路からなることを特徴とする差動信号生成回路。

【請求項 3】 疑似インバータは、前記第1のP型トランジスタのドレインを電源端子に接続し、前記各N型MOSトランジスタのソースを接地し、前記第1のP型MOSトランジスタのソースを前記第2のP型およびN型MOSトランジスタのドレインに接続した回路からなる請求項2記載の差動信号生成回路。

【請求項 4】 制御信号を反転して出力する反転回路と、前記制御信号を入力して第1、第2の疑似反転を行いつつ前記制御信号を反転した反転制御信号を入力して前記第2の疑似反転を行つて反転しない一方の差動信号を出力する第1の疑似インバータと、前記制御信号を反転した反転制御信号入力して第1、第2の疑似反転を行いつつ前記制御信号を入力して前記第2の疑似反転を行つて反転しない他方の差動信号を出力する第2の疑似インバータとを疑似インバータとして有する請求項2記載の差動信号生成回路。

【請求項 5】 制御信号を順次反転して出力する第1、第2、第3の反転回路と、この第1の反転回路の出力を第2の疑似反転の入力とし、前記第2の反転回路の出力を第1の疑似反転の入力とした疑似インバータとからなり、前記第3の反転回路の出力を一方の差動信号とする請求項2または3記載の差動信号生成回路。

【請求項 6】 制御信号を順次反転して出力する第1、

第2、第3の反転回路と、この第1の反転回路の出力を第2の疑似反転の入力とし、前記第2の反転回路の出力を第1の疑似反転の入力とした第1の疑似インバータと、前記第2の反転回路の出力を第2の疑似反転の入力とし、前記第3の反転回路の出力を第1の疑似反転の入力とした第2の疑似インバータとからなる請求項4記載の差動信号生成回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は高速CMOS差動スイッチのゲート駆動回路となる差動信号生成回路に関し、特にCMOS差動スイッチを多数使用した電流出力型D/A変換器における差動スイッチの電流切換え時に発生する電流スパイクを低減しその消費電力を少なくした差動信号生成回路に関する。

【0002】

【従来の技術】従来、CMOS回路により高速な差動スイッチを駆動するための差動信号生成回路として、図8(a)に示す回路がある。この回路は、データの同期をとるためのD型フリップフロップ(以下DFFという)17と、PchMOSトランジスタMP3, MP4, MP5で構成される差動スイッチ18との間に、差動信号生成回路16として設けられている。この差動信号生成回路16は、正相入力INを入力して正相、逆相の相反する信号OTP, OTNを生成している。

【0003】この差動信号生成回路16としては、図9(a)に示すように、CMOSインバータ22～24, 42, 43を多段接続した回路が用いられている。この回路は、正相出力OTP側ではインバータ22, 24, 32, 43とその段数を偶数個、逆相出力OTN側ではインバータ22, 23, 42とその段数を奇数個となるようにして所定出力信号を得ていた。なお、インバータの大きさは、インバータ22～24を1とした時、インバータ32が2倍、インバータ42, 43が3倍とし、トランジスタMP3はチャネル幅W/チャネル長Lを250μm/3μmとし、トランジスタMP4, 5はチャネル幅Wを60μmとしている。

【0004】また、さらに高速動作の差動スイッチとするためには、図8(b)に示されるように、データ出力として正相データ出力Qの他に逆相出力QNを出力させたDFF17Aを用いる場合もある。この逆相出力QNを用いる場合の差動信号生成回路16Aは、正相入力INから正相出力OTPの間、逆相入力INNから逆相出力OTNの間に、それぞれ等価なデジタル信号伝達回路を用いて構成することが出来る。例えば、図9(b)に示すように、正相出力OTPは、正相入力INを入力するインバータ22と、差動スイッチ18のトランジスタMP4のゲートを駆動するインバータ42とを直列接続して得、逆相出力OTNは、インバータ23, 43を直列接続して得ている。

【0005】なお、DFF17の回路は、図10 (a) に示すように、PchMOSトランジスタMP31～34, NchMOSトランジスタMN31～34, インバータ51, 52, 55, 56から構成され、通常用いられるCMOS型Dフリップフロップである。データ入力Dに入力するデータ信号レベルに対し、正相クロックCKがロウレベルからハイレベルに変化する時に（また逆相クロックCKNには正相クロックCKと逆レベルのクロックが入力される）、データDの信号レベルを瞬時に取り込み、その信号レベルを正相データQとして出力させている。ここで、インバータの大きさはインバータ22を1として、インバータ51～53が1.5倍、インバータ55～57が0.75倍とし、トランジスタはそのチャネル幅をそれぞれ4μmとしている。

【0006】また、図8 (b) のDFF17Aにおいても、正相データ出力Qと逆相データ出力QNについて、素子数の増加を少なくして等価な出力信号を実現できるようにしている。このDFF17Aの回路は、図10 (b) に示すように、インバータ51の出力に、インバータ36, 53, 57と、Pch, NchMOSトランジスタMP35, 36, MN35, 36とからなるラッチ部を附加している。

【0007】さらに、差動スイッチ18については、定電流源となるPchMOSトランジスタMP3と、電流切換え用PchMOSトランジスタMP4, 5とで構成される。このトランジスタMP4, 5は差動信号生成回路16の正相出力OTP、逆相出力OTNに接続され、その信号レベルでロウレベル側の信号が入力されているトランジスタMP4またはMP5に電流を流すようにしている。

【0008】この差動スイッチ18に供給される差動信号生成回路16の正相出力OTP、逆相出力OTNの信号の立上り、立下り時間を調整し、電流出力端子IO, IONに電流スパイクの発生を少なくするために、図9 (c) に示す回路も用いられている。この回路は、1995年Custom Integrated Circuits Conference (CICC) のダイジェストペーパ10.5.1の論文“A 350-MS/S 3.3-V 8-bit CMOS D/A Converter Using a Delayed Driving Scheme”（以下文献1という）に説明されている。

【0009】この図9 (c) の回路は、構成する素子が図9 (b) と同様のものであるが、信号出力回路のPch, NchMOSトランジスタMP21, 22, MN21, 22のゲート電極は、それぞれ異った信号で駆動されるようにしている。すなわち、トランジスタMP21, 22のゲート電極は、図9 (a) と同様にインバータ22, 23の出力に接続され、トランジスタMN21, 22のゲート電極は、これらトランジスタMN21, 22の出力と逆相となる各入力INN, INにそれぞれ接続されている。このような接続によりPchトランジ

ジスタMP21, 22はNchトランジスタMN21, 22の信号に対しインバータ1段分の信号遅れがあることになる。

【0010】

【発明が解決しようとする課題】上述した従来の差動信号生成回路の回路を、適宜各トランジスタの大きさを設定し、その回路動作を過渡解析検証した結果により説明する。各トランジスタの大きさとしては、そのチャネル幅Wを示し、そのチャネル長Lは製造可能な最小寸法としている。またインバータの大きさは、インバータ21～25を1とした時、インバータ31～34を2倍、インバータ41～44を3倍、インバータ51～53を1.5倍、インバータ54～56を0.75倍としている。

【0011】図2 (a) の差動スイッチ18を数百MHzの高速周波数で切換える場合、そのトランジスタMP4, 5の動作が瞬間的ではあるが両方に非導通の状態が生ずることがあり、そのため電流出力端子IO, IONに電流スパイクが生ずる。この電流スパイクはトランジスタMP4, 5のいずれか一方の電流経路が別の電流経路に切換わる時、電流出力端子IO, IONに生ずる電流が定常電流になるまでのセトリング時間を長くする欠点があり、高速に差動スイッチングする動作を妨げている。

【0012】この差動スイッチ18において、MOSトランジスタMP4, 5が同時にオンとなるとトランジスタMP3のドレイン電圧が上昇し、このドレインに接続した部分に電荷が蓄積される。この状態でトランジスタMP4, 5のいずれかがオンすると、この蓄積電荷が急激に放電されて、その出力端子IO, IONにスパイクを発生する。従って、その電流値が定常状態に安定する迄のセトリング時間がかかり、差動スイッチの電流切り換えの高速動作が妨げられるという問題がある。

【0013】まず、図9 (a) の差動信号生成回路16に示すインバータの大きさとしては通常スレショールド電圧が電源電圧3.3Vの1/2となるよう各トランジスタを設定している。このインバータと図10 (a) を図8 (a) のように組合わせて、図11 (a), (b) に示すクロックおよびデータを入力した時の過渡解析検証の結果は、図12 (a) の正相出力OTPのH, 逆相出力OTNのJにそれぞれ示される。この図によると、時刻約30nSにおける電圧波形の交点Pが2.8V位になっている。つまり、図8 (a) のトランジスタMP4, 5のゲート電位は両方が電源電圧3.3Vに近い値となるため、両トランジスタが非導通状態に近い状態になっており、そのため電流出力端子IOには図14 (a) に示す電流スパイクLを生じている。

【0014】その原因は、図9 (a) のインバータ段数の違いにより、正相出力OTP側がインバータ24だけ多く、その分遅延が多くなり、図のように電圧交点Pが

電源電圧に近い側に生じやすくなるからである。この差動スイッチの各ゲート電圧の高いということは、電圧波形の立上りが速く、その立下りが遅いということを意味している。すなわち、両方のトランジスタがPchであることにより、立上りが速ければ速くオフし、立下りが遅ければ遅れてオンとなる。つまり、両方のトランジスタが同時にオフしやすくなり、この逆の場合には両方のトランジスタが同時にオンしている時間が長くなる。

【0015】この点を改善するため、PchMOSトランジスタのチャネル幅WをNchMOSトランジスタのチャネル幅Wと同じ $14\mu\text{m}$ とした場合も、図12(b)に示すように、時刻 30 nS における正相、逆相の電圧交点Lは 1.5 V 程度しか下らず、図14(b)に示すように、電流スパイクLを生じてしまう。

【0016】さらにこの電流スパイクLを少なくするように、図10(b)のように正相側と逆相側の2出力を得るDFF17と、図9(b)のような差動信号生成回路16とを用いて、正相側と逆相側の信号経路を等価的に構成した図8(b)の駆動回路とすることもできる。これら図のうち図9(b)のインバータ31, 32は立上り時間を遅くし、立下り時間を速くするため、Pch, NchMOSトランジスタの各チャネル幅Wを $14\mu\text{m}$ としている。また、これは基準サイズのインバータの3倍となるMOSトランジスタのゲート面積の総和と同じになるようにしている。また他の図のトランジスタのサイズW, Lは前述の符号と同じものは同じとしている。

【0017】この回路による過渡解析検証のシミュレーション結果は、図13(a)に示される。すなわち、時間の約 25 nS , 30 nS で正相出力OTP、逆相出力OTNが交差する波形交点P, Rは同様に改善することが出来たが、図15(a)のように電流输出端子IOの電流スパイクLは図14(b)と同様に大きな値が出ている。

【0018】この電流スパイクを改善する手段として、図9(b)の代りに図9(c)を用いた場合で、回路中のPch, NchMOSトランジスタMP21, 22, MN21, 22のチャネル幅Wを $14\mu\text{m}$ とした回路の過渡解析検証のシミュレーション結果を、図13(b)に示す。この場合、正相出力OTP、逆相出力OTNが約 25 nS , 30 nS で交差する波形交点P, Rは同様に 0.5 V 程度に下ることができ、また電流输出端子IOの電流スパイクLも図15(b)のように小さくできる。

【0019】しかしこの回路では、図9(c)におけるPchMOSトランジスタMP21, 22がNchMOSトランジスタMN21, 22よりもインバータ22, 23分だけ信号が遅れるため、ゲート入力信号が反転する時、Pch, NchMOSトランジスタMP21, 22, MN21, 22両方が導通状態になる場合を生ず

る。そのため貫通電流が非常に大きくなるという問題があり、また図10(b)なDFFも素子数が増加するため、前述の回路(図9(a), 図10(a)を用いた図8(a)の回路)と比較して欠点が多い。

【0020】これらの回路の過渡解析検証のシミュレーション結果は、図16(a), (b)に示される。すなわち、図9(a), 図10(a)を用いた図8の回路では、図16(a)のように、その消費電流の変化が、ピーク電流 3.95 mA , 平均電流 $238\mu\text{A}$ であり、図9(c), 図10(b)を用いた図8の回路では、図16(b)のように、その消費電流の変化が、ピーク電流 6.11 mA , 平均電流 $354\mu\text{A}$ となっている。

【0021】従って、本発明の目的は、一対の差動トランジスタが同時にオフとならないように駆動して、差動回路の高速駆動をできるようにした差動信号生成回路を提供することにある。

【0022】

【課題を解決するための手段】本発明の構成は、制御信号に応じて一対の差動トランジスタからなるスイッチ回路の電流経路を切り換える一対の差動信号を出力する差動信号発生回路において、前記一対の差動信号うちの一方に、前記制御信号の立ち上り時間よりもその信号の立ち下り時間を遅延させ、または前記制御信号の立ち下り時間よりもその信号の立ち上り時間を遅延させて出力することにより、前記一対の差動トランジスタが同時にオフとならないように駆動する出力遅延回路を備えたことを特徴とする。

【0023】また本発明の差動信号発生回路の構成は、制御信号を反転して一方の差動信号として出力する反転回路と、前記制御信号を入力して第1、第2の疑似反転を行いつか前記制御信号を反転した反転制御信号を入力して前記第2の疑似反転を行つて反転しない他方の差動信号を出力する疑似インバータとを備え、この疑似インバータが、前記第1の疑似反転として、共通接続したゲートを入力とし共通接続したドレインを出力とした第1のP型およびN型MOSトランジスタを用い、前記第2の疑似反転として、共通接続したゲートを入力とし前記第1の疑似反転の出力に接続し共通接続したドレインを出力端とした第2のP型およびN型MOSトランジスタを用い、前記各P型トランジスタのドレインを電源端子に接続し、前記第2のN型MOSトランジスタのソースを接地し、前記第1のN型MOSトランジスタのソースを前記第2のP型およびN型MOSトランジスタのドレインに接続した回路からなることを特徴とする。

【0024】さらに、本発明の疑似インバータは、前記第1のP型トランジスタのドレインを電源端子に接続し、前記各N型MOSトランジスタのソースを接地し、前記第1のP型MOSトランジスタのソースを前記第2のP型およびN型MOSトランジスタのドレインに接続した回路からなることができ、また疑似インバータとし

て、制御信号を入力して第1、第2の疑似反転を行いかつ前記制御信号を反転した反転制御信号を入力して前記第2の疑似反転を行って反転しない一方の差動信号を出力する第1の疑似インバータと、前記制御信号を反転した反転制御信号入力して第1、第2の疑似反転を行いかつ前記制御信号をを入力して前記第2の疑似反転を行って反転しない他方の差動信号を出力する第2の疑似インバータとを有することができる。

【0025】

【発明の実施の形態】以下本発明について図面を参照して説明する。図1は本発明の一実施の形態のブロック図であり、P型半導体基板上に構成したものとする。この回路も図8に示される回路に適用される。すなわち、データ入力DATAを有するDFF17と、このDFF17の出力に接続する差動信号生成回路16と、この回路16の出力に接続される差動スイッチ18とからなる回路である。

【0026】この差動信号生成回路16は、DFF17の正相データ出力Qを正相入力INとし、これに対応して正相と信号と逆相の信号を正相出力OTP、逆相出力OTNとして瞬時に出力している。この差動信号生成回路16は、図1において、反転回路群15と、第1の疑似インバータ13と、第2の疑似インバータ14とから構成される。

【0027】反転回路群15は、3つのインバータ21、31、41を三段直列接続して構成され、インバータ21の入力は正相入力INとなり、インバータ41の出力を逆相出力OTNとしている。また、第1の疑似インバータ13は、Pch、NchMOSトランジスタMP1、MN1で構成され、それぞれのソース電極は電源端子VDD、第2の疑似インバータ14の出力に接続され、ゲート電極は共通接続され、第1の疑似インバータ13の入力としてインバータ31の出力に接続されドレイン電極も共通接続され、第1の疑似インバータ13の出力として第2の疑似インバータ14の入力に接続されている。

【0028】第2の疑似インバータ14は、ゲート電極を第1の疑似インバータ13の出力に、ソース電極を電源端子VDDに接続するPchMOSトランジスタMP2と、ゲート電極をインバータ21の出力に、ソース電極を接地端子GNDに接続したNchMOSトランジスタMN2とで構成される。これらトランジスタMP2、MN2の残りのドレイン電極は共通接続され、この差動信号生成回路16の逆相出力OTNに接続されている。

【0029】この差動信号生成回路16の動作として、正相入力INから逆相出力OTNまでの信号経路の動作は通常のインバータ21、31、41の三段結合であるため、正相入力INの信号レベルと逆の信号レベルが逆相出力OTNに出力される。一方、正相入力INから正相出力OTPまでの信号経路については、正相入力IN

にロウレベルが入力された場合、この状態からハイレベルに信号が変化した場合、さらにハイレベルからロウレベルに変化した場合の三状態に分けて説明する。

【0030】まず、正相入力INにロウレベルが入力された場合、インバータ21の出力はハイレベルとなるため、このインバータ21の出力をゲート電極に入力した第2の疑似インバータ14のトランジスタMN2は導通となる。第1の疑似インバータ13は、入力をインバータ31の出力としているためロウレベルが入力され、トランジスタMP1が導通、トランジスタMN1が非導通となる。このため第1の疑似インバータ13の出力には、電源端子VDDの電位に近いハイレベルの信号が出力される。この出力には、第2の疑似インバータ14のトランジスタMP2のゲート電極に入力されるため、このトランジスタMP2は非導通となる。従って、トランジスタMN2が導通、トランジスタMP2が非導通となるので、正相出力OTPには接地端子の電位に近いロウレベル信号が出力される。

【0031】次に、この状態から正相入力INの信号レベルがハイレベルに信号が変化した場合、インバータ21の出力はロウレベルに変化するため、この信号を入力とする第2の疑似インバータ14のトランジスタMN2は逆に非導通となる。第1の疑似インバータ13も逆にトランジスタMP1が非導通、トランジスタMN1が導通となる。この時第2の疑似インバータ14のトランジスタMP2はそのゲート電極とドレイン電極がおおよそ短絡された状態となる。

【0032】ところで、第1の疑似インバータ13の出力であるトランジスタMP1、MN1のドレイン電極電位の変化は、ドレイン電極に付随する寄生容量とトランジスタMN1のソース電極の接続点の寄生容量の大小で決まるが、通常差動信号生成回路16の信号出力段に相当する後者の寄生容量の方が大きい。従って、トランジスタMP1、MN1のドレイン電極接続点の電位が、トランジスタMN1のソース電極接続点側の電位に引かれることになる。このトランジスタMN1のソース電極の接続点電位はそれまでロウレベルであったので、トランジスタMN1のドレイン電極の接続点電位もロウレベル側に下っている。この接続点は第2の疑似インバータ14のトランジスタMP2のゲート電極にも接続されているため、このトランジスタMP2は非導通から導通となる。これにより正相出力OTPの信号レベルは、トランジスタMP2、MN2がそれぞれ導通、非導通となってハイレベル側に変化する。しかし、前述のようにトランジスタMP2はこの時ゲートとドレイン電極が短絡に近い状態となるため、そのデータ電極電位もハイレベル側に上昇する。

【0033】これはトランジスタMP2を常に出力抵抗の高い飽和領域で動作させ、かつ正相出力OTPの電位が上昇するほど出力抵抗を高くしてスルーレートを下げ

る負帰還効果がある。この理由は、ゲート・ドレイン電極間の短絡が起った場合、トランジスタMP 2のソース・ドレイン電極間の抵抗 r_{ds} (MP2) が次式で示されることにより明らかである。

$$【0034】 r_{ds}[\text{MP2}] = 1 / \{K_p (W/L) (V_{DD} - V[\text{OTP}] - V_{th}[\text{MP2}])\}$$

但し、 K_p はトランジスタMP 2のシリコン酸化膜の単位面積容量と正孔の移動度で決まるトランスコンダクタンス、 W/L はトランジスタMP 2のチャネル幅、タネル長の比、 V_{DD} は電源端子電位、 $V[\text{OTP}]$ は正相出力OTPの電位、 $V_{th}[\text{MP2}]$ はトランジスタMP 2のしきい値の絶対値とする。この式によれば、正相出力OTPの電位 $V[\text{OTP}]$ が $V_{DD} - V_{th}[\text{MP2}]$ となった時、 $r_{ds}[\text{MP2}]$ が無限大となり、正相出力OTPの電位は $V_{DD} - V_{th}[\text{MP2}]$ 以上の電位には上昇しない。つまり電源端子の電位 V_{DD} にはならないことが分かる。

【0035】しかし、これは第1の疑似インバータ1 3のトランジスタMN 1がいつまでも非導通とならないことを条件としているが、本実施形態では、このトランジスタMN 1のソース電極電位が $V[\text{OTP}]$ と同じである。この $V[\text{OTP}]$ はハイレベル側に変化するので、トランジスタMN 1のゲートソース間電圧 $V_{gs}[\text{MN1}]$ を減少させ、さらにこの電圧 $V_{gs}[\text{MN1}]$ がトランジスタMN 1のしきい値 $V_{th}[\text{MN1}]$ 以下となる状態も考えられ、その場合にはトランジスタMN 1が非導通となってしまう。このトランジスタMN 1が非導通となる電位 $V[\text{OTP}]$ の条件は、 $V_{DD}[\text{MN1}]$ 以上となる場合である。

【0036】つまり、 $V_{DD} - V_{th}[\text{MN1}]$ が $V_{DD} - V_{th}[\text{MP2}]$ より小さく、 $V_{th}[\text{MN1}]$ が $V_{th}[\text{MP2}]$ より大きければ、トランジスタMN 1がトランジスタMP 2に比べて先に非導通となり、トランジスタMP 2のゲート電極電位の上昇はこの電位で止まってしまう。これはトランジスタMP 2のゲート・ソース間電圧が $V_{th}[\text{MP2}]$ 以下とならないことを示し、トランジスタMP 2は常に導通となる。これが常に導通であれば、そのドレン電流が極小となった時、トランジスタMP 2が非飽和領域動作となり、そのドレン・ソース間電圧はゼロに近くなる。これは正相出力OTPのハイレベル信号が電源端子の電位にまで上昇することを示している。

【0037】通常のCMOSデジタル回路では、 P_c 、 N_c hMOSトランジスタのしきい値は $V_{th}[\text{MN1}]$ が $V_{th}[\text{MP2}]$ より小さくなることが多い。それはバックゲートとソース電極電位が同一であることが前提となっている。しかし、本実施形態では、トランジスタMN 1のバックゲートがP型基板の電位である接地電位と等しく、一方ソース電極の方は正相出力OTPの電位に等しくなっている。しかも、正相出力OTPはこの状態では電源電位に近い値をとる。これはソース電位とバックゲート電位の差によるしきい値の上昇が大きいことを示し、 $V_{th}[\text{MN1}]$ が $V_{th}[\text{MP2}]$ より大きくなる。

これを要約すると、正相入力INにハイレベル信号が入力された時、正相出力OTPにはハイレベル信号として V_{DD} に近い値が出力される場合と、正相出力OTPのハイレベル信号が $V_{DD} - V[\text{OTP}]$ となる場合の2通りがあり、これはトランジスタMP 2、MN 1のしきい値の大小で決定され、通常は前者のハイレベル信号が出力されることが多い。

【0038】次に、正相入力INの入力信号がハイレベルからロウレベルに変化する場合の正相出力OTPの信号変化を説明する。トランジスタMP 2のゲート・ソース間電位はその直前の状態として、トランジスタMP 2、MN 1のしきい値 $V_{th}[\text{MP2}]$ 、 $V_{th}[\text{MN1}]$ に近い状態となっている。この状態から正相入力INがロウレベルに変化することにより、トランジスタMP 1が導通、トランジスタMN 1が非導通となり、トランジスタMP 2のゲート電極電位は電源電位 V_{DD} に近い電位に変化し、トランジスタMP 2は非導通となる。

【0039】一方トランジスタMN 2のゲート電極の入力は、正相入力INの直後のインバータ2 1の出力となっているので、正相入力INがハイレベルからロウレベルに変化すると、トランジスタMN 1はインバータ2 1の信号反転を受けて、す早く非導通から導通へと変わる。この変化は、逆相出力OTNの信号遅延が3段のインバータ2 1、3 1、4 1であるに対し、正相出力OTPがインバータ2 1とトランジスタMN 2の2段であるので、こと正相出力OTP側の信号変化が早いと考えられる。

【0040】以上のことから、トランジスタMP 2が非導通、トランジスタMN 1が導通となり、正相出力OTPもハイレベルからロウレベルに変化する。ここで注目すべきことは、トランジスタMP 2は正相入力INが変化して非導通になる前に、そのゲート・ソース電圧がしきい値に近い値となっていることであり、これは電源側からドレン電極側に供給する能力が既に可成り小さいことを示している。つまり正相出力OTPがハイレベルからロウレベルに変化している瞬間、瞬間にトランジスタMP 2、MN 1が両方とも導通になつても、通常のインバータ2 1、3 1、4 1にあるような貫通電流が非常に小さくなる。これは正相出力OTPの信号立下り時間を非常に速くし、かつ貫通電流を小さくできたことによる差動信号生成回路1 6の消費電流の平均値やピーク値を小さくできると考えられる。

【0041】このように差動信号生成回路1 6は、正相入力INに対して正相出力OTPと逆相出力OTNとを出力するが、その出力は正相出力OTPが逆相出力OTNに対して、その立上り時間が遅く、立下り時間が早いといえる。そのため2つの出力の信号変化時の電位レベルが等しくなる電圧交点は低電位側に生ずることとなる。

【0042】この実施形態の回路を、図8 (a) のように接続して過渡解析検証を行つた結果を説明する。各ト

トランジスタのサイズは従来例と同等のものとし、電源電圧VDDは3.3V、接地電位を0Vとし、Pch, NchMOSトランジスタMP1, MN1のサイズは、1倍のインバータのトランジスタサイズと同じとし、第2の疑似インバータ14も同様に3倍のインバータ41と同じとする(MP2のチャネル幅20μm, MN2のチャネル幅8μm)。またクロックとデータ入力は図11(a), (b)と同様とする。

【0043】本実施形態において、第1の疑似インバータ13のトランジスタMN1がバックゲート効果が生じないように、そのバックゲートをソース電極に接続して過渡解析検証を行った。図4(a), (b)はこの場合の差動信号生成回路16の正相出力OTPと逆相出力OTNの出力波形を示す。この解析結果から得られるトランジスタMP2, MN1のしきい値はそれぞれ0.65V, 0.6Vとなり、Vth[MP2]がVth[MN1]より大きいことが分る。この場合、逆相出力の波形Jは通常のインバータ42の出力であるため、電源電圧3.3Vと接地電位0Vとの間のフルスイングとなっている。。

【0044】これに対し正相出力波形Hはハイレベルが3.3-0.65=2.65V前後までしか上昇しないことが分る。さらに各電圧波形交点P, Rもそれぞれ0.4, 0.6Vの低い電位で交差している。そのためそのため従来例のように、差動スイッチ18のトランジスタMP4, MP5が同時に非導通となる欠点が改善されている。さらにトランジスタMP4, MP5のゲートへの差動入力は信号振幅が小さいため、電流出力端子IO, IONに漏れるゲート電位変動による輻射ノイズを小さく抑えられる。これはVth[MP2]がVth[MN1]より大きいことが条件であるため、しきい値Vthに注意が必要である。

【0045】実際に用いる回路では、トランジスタMN1のバックゲートによるしきい値上昇があるため、Vth[MP2]がVth[MN1]より小さいことが多い。これは、トランジスタMN1のバックゲートを接地電位に接続して実現できる。この場合の過渡解析検証結果は、図4(b)にトランジスタMP2のゲート電位変化を示し、このデータからトランジスタMP2, MN1のしきい値はそれぞれ0.65V, 1.0Vとなった。この場合のゲート電位は、正相入力INがロウレベルの時に電源電圧3.3V、ハイレベルの時にトランジスタMN1が非導通となるVDD-Vth[MN1]=3.3-1.0=2.3Vと考れられ、図4(b)でも一致していることが分かる。

【0046】さらに図5(a)に差動信号生成回路16の正相出力波形Hとその逆相出力波形Jを示す。この図から正相出力波形Hは電源電位と接地電位との間をフルスイングしており、その電圧波形交点P, Rもそれぞれ0.4V, 0.6V前後であることが分かる。また電流出力端子IOの電流スパイク波形Lも図6(a)に示す

ように、従来の電流スパイク波形(図12(a), (b))より半分以下となっている。

【0047】さらに図7(a)にはDFF17と差動信号生成回路16とを含む消費電流を示す。これを、図16(a)の消費電流が最小の従来例と比較すると、ピーク電流は従来例が3.96mAに対し本実施形態が3.54mA、平均電流は従来例が238μAに対し本実施形態が207μAと改善されている。また、図16(b)のスパイク電流が小さい従来例の消費電流波形と比較すると、ピーク電流、平均電流とも本実施形態の方が60%程度改善されている。

【0048】図2は本発明の第2の実施形態の回路図である。この回路は、図1とは逆に正相出力OTPの立上り時間を遅く、立上り時間を速くしたもので、N型半導体基板上に差動信号生成回路16を設けたものである。

【0049】この回路は、インバータ21の出力に第2の疑似インバータ14のトランジスタMP2のゲート電極を接続し、第1の疑似インバータ13の出力に第2の疑似インバータ14のトランジスタMN2のゲート電極を接続し、第1の疑似インバータ13のトランジスタMP13, MN2のソース電極をそれぞれ正相出力OTP、接地端子に接続している。これ以外の疑似インバータ13の入力、インバータ21, 31, 41の接続は第1の実施形態と同じである。

【0050】図3は本発明の第3の実施形態の回路図であり、差動信号生成回路16として図1の第1、第2の疑似インバータ13, 14を2組づつ使用して、図1では正相出力OTPのみ立上り時間を遅くしたが、逆相出力OTNの側にも適用した場合である。この回路により、図1のインバータ41で流れていた大きな貫通電流をなくすことができ、さらに全体のピーク電流も小さくすることができる。この回路は、正相入力INを入力とする反転回路群15と、第1～第4の疑似インバータ13A, B, 14A, Bの5ブロックから構成される。

【0051】反転回路群15は、インバータ32, 33, 22を直列接続している。インバータ32は、正相入力INを入力とし出力を疑似インバータ14AのトランジスタMN21のゲート電極に接続し、インバータ33は、出力を疑似インバータ13Aの入力と疑似インバータ14BのトランジスタMN22のゲート電極に接続し、インバータ22は、出力を疑似インバータ13Bの入力に接続している。第1, 第3の疑似インバータ13A, Bの回路は、第1の疑似インバータ13と同様で、第2, 第4の疑似インバータ14A, Bの回路は、第2の疑似インバータ14と同様である。

【0052】また、第1の疑似インバータ13Aの出力は第2の疑似インバータ14Aの入力に接続し、この疑似インバータ14Aの出力を正相出力OTPとしている。同様に、第3の疑似インバータ13Bの出力は第4の疑似インバータ14Bの入力に接続し、この疑似イン

バータ 1 4 B の出力を逆相出力 O T N としている。この回路動作も第 1 の実施形態の動作説明から同様に説明することができる。

【0053】次に、この回路の過渡解析検証を行った結果を説明する。この場合、インバータ 3 2, 3 3, 2 2 の大きさはそれぞれ最小インバータの 2 倍、2 倍、1 倍とし、第 1 ~ 第 4 の疑似インバータ 1 3 A, B, 1 4 A, B は疑似インバータ 1 3, 1 4 と同じサイズとし、これ以外の素子で同じ符号のものは同じサイズとする。

【0054】この過渡解析による差動信号生成回路 1 6 の正相出力波形 H とその逆相出力波形 J を図 5 (b) に、また電流出力端子 I O の電流スパイク波形 L を図 6 (b) に、その消費電流波形を図 7 (b) にそれぞれ示す。図 5 (b) のように、電圧波形交点 P が第 1 の実施形態の場合より低下し、0.1 V 程度となり、また図 6 (b) のように、電流スパイク波形 L は最小となった。また消費電流波形は図 7 (b) のように、平均電流は第 1 の実施形態より素子数が多くなったので若干大きく 2.24 μ A となったが、ピーク電流は 2.79 mA と最小となり、このピーク電流が改善されたことが分かる。

【0055】なお、これら過渡解析検証の結果では、4.5 nS で電流切換動作が実現できるので、CMOS 構成による最高動作周波数として 220 MHz が達成可能である。また、この発明の差動信号生成回路を電流出力型の D/A 変換器に用いた場合、デジタル回路部の消費電流を、従来例と比較して最大 40% 程度減少させることができる。

【0056】また、これら実施形態は、差動增幅回路や差動スイッチ回路の他に、正相・逆相の出力が必要なクロックドライバなどに適用することもできる。

【0057】

【発明の効果】以上説明したように本発明の差動信号生成回路は、素子数の少ない構成ができると共に、平均消費電流も最も少なくすることができ、さらに電流出力端子からの電流スパイクも少なくできるため、高速の電流切換動作を実現することができる。

【0058】さらに、Nch MOS トランジスタのしきい値を Pch MOS トランジスタのしきい値より小さくした場合、差動スイッチの入力信号の信号振幅を電源電圧より Pch MOS トランジスタのしきい値分小さくでき、差動スイッチの Pch MOS トランジスタのゲート・ドレイン間オーバラップ容量を介して電流出力端子に漏れるノイズを小さく抑えることができる。

【図面の簡単な説明】

【図 1】本発明の差動信号生成回路の第 1 の実施の形態を説明する回路図である。

【図 2】本発明の第 2 の実施の形態を説明する回路図である。

【図 3】本発明の第 3 の実施の形態を説明する回路図である。

【図 4】図 1 の回路でトランジスタ MP 2 のしきい値がトランジスタ MN 1 のしきい値より大きい場合および小さい場合の出力波形図である。

【図 5】図 1 および図 2 の回路でトランジスタ MP 2 のしきい値がトランジスタ MN 1 のしきい値より小さい場合の出力波形図である。

【図 6】図 5 (a), (b) において差動スイッチ 1 8 を動作させた場合の出力端の電流波形図である。

【図 7】図 5 (a), (b) において差動スイッチ 1 8 を動作させた場合のブロック 1 6, 1 7 で消費する電流波形図である。

【図 8】従来の差動スイッチ 1 8 を駆動する回路のブロック図である。

【図 9】従来の差動スイッチ 1 8 を駆動する差動信号生成回路 1 6 の三例を示す回路図である。

【図 10】従来の DFF 1 7 の二例を示す回路図である。

【図 11】これら回路に入力されるクロック (CK, CKN) および入力データ (DATA) の入力波形図である。

【図 12】図 9 の差動信号生成回路 1 6 の動作をインバータの条件を変えて動作させた時の出力波形図である。

【図 13】図 9 (a), (b) の差動信号生成回路 1 6 の動作を説明する出力波形図である。

【図 14】図 12 (a), (b) の場合で差動スイッチ 1 8 を動作させた場合の出力端の電流波形図である。

【図 15】図 13 (a), (b) の場合で差動スイッチ 1 8 を動作させた場合の出力端の電流波形図である。

【図 16】図 13 (a), (b) の場合で差動スイッチ 1 8 を動作させた場合のブロック 1 6, 1 7 で消費する電流波形図である。

【符号の説明】

1 3, 1 3 A, B, 1 4, 1 4 A, B 疑似インバータ

1 5 反転回路群

1 6 差動信号生成回路

1 7 A, B DFF (フリップフロップ)

1 8 差動スイッチ

2 1 ~ 2 5, 3 1 ~ 3 6, 4 1 ~ 4 3, 5 1 ~ 5 7
インバータ

MN 1 ~ 3 6 N チャネル MOS トランジスタ

MP 1 ~ 3 6 P チャネル MOS トランジスタ

CK, CLK 正相、逆相クロック入力

D, DATA データ入力

E, F 正相、逆相クロック波形

G データ入力波形

H, J 正相、逆相出力波形

I N, I NN 正相、逆相入力

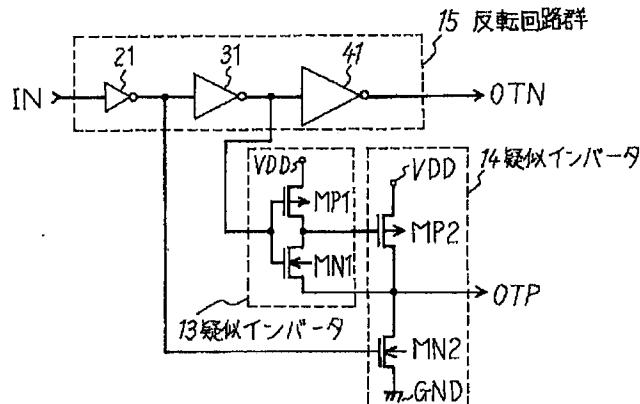
I O, I ON 電流出力端子

K ゲート電位波形

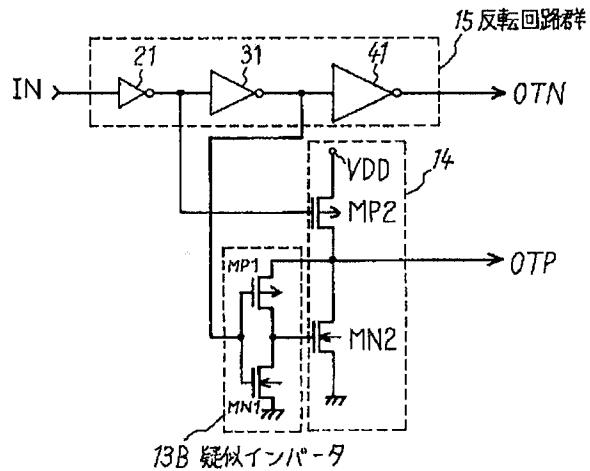
L 電流スパイク波形
N 出力電流波形
O P, O N 正相、逆相データ出力

OTP, OTN 正相、逆相データ出力
 P, R 電圧波形交点

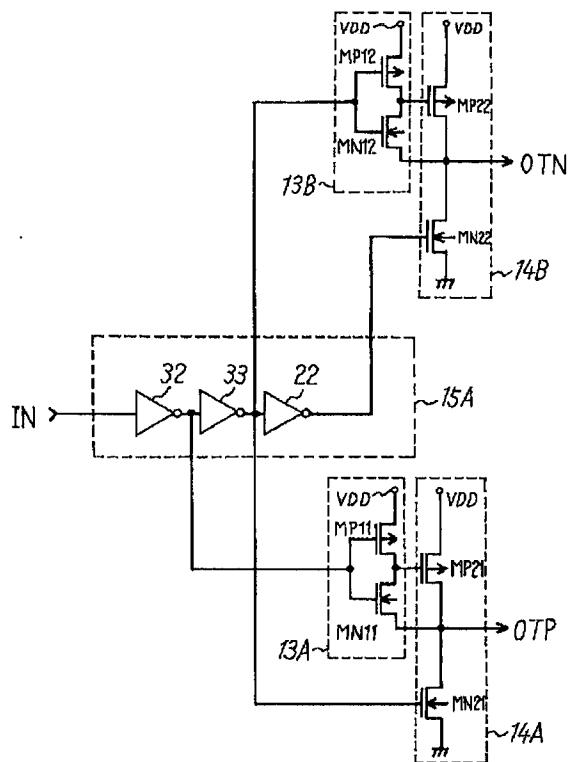
【図1】



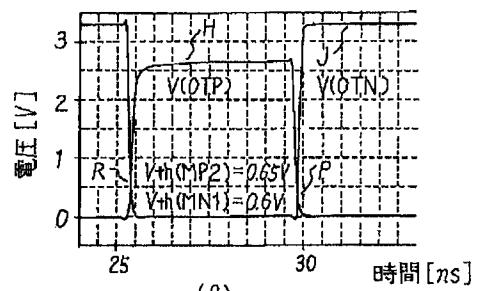
[図2]



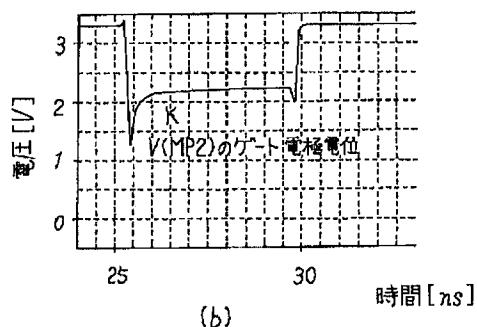
【图3】



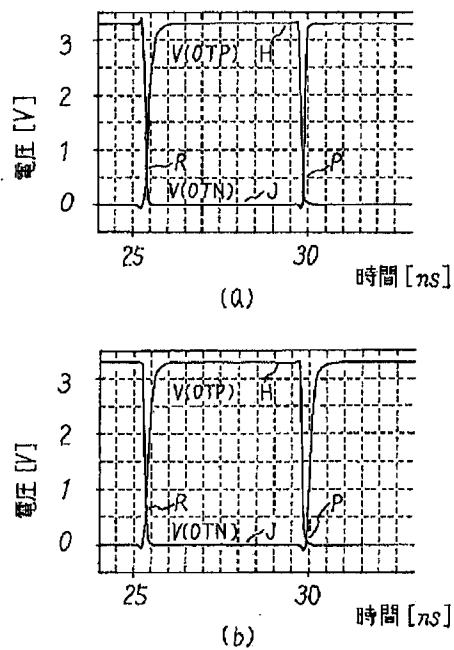
【図4】



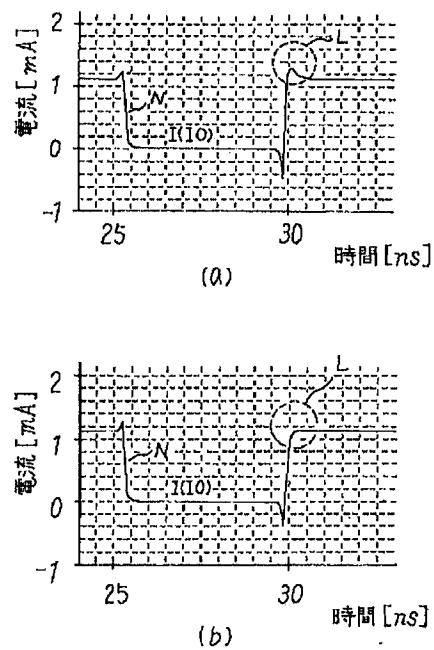
(a)



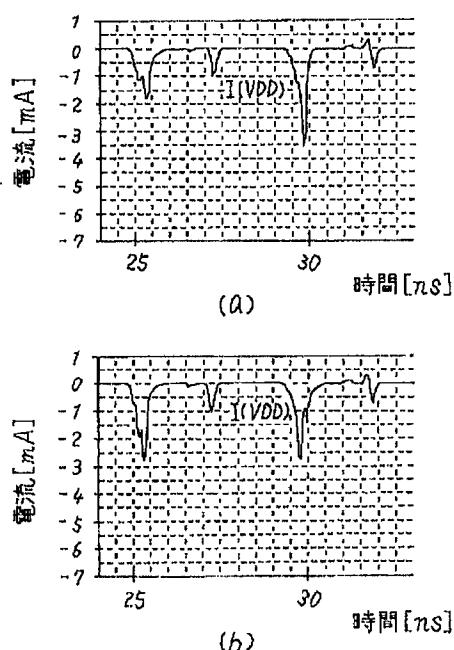
【図5】



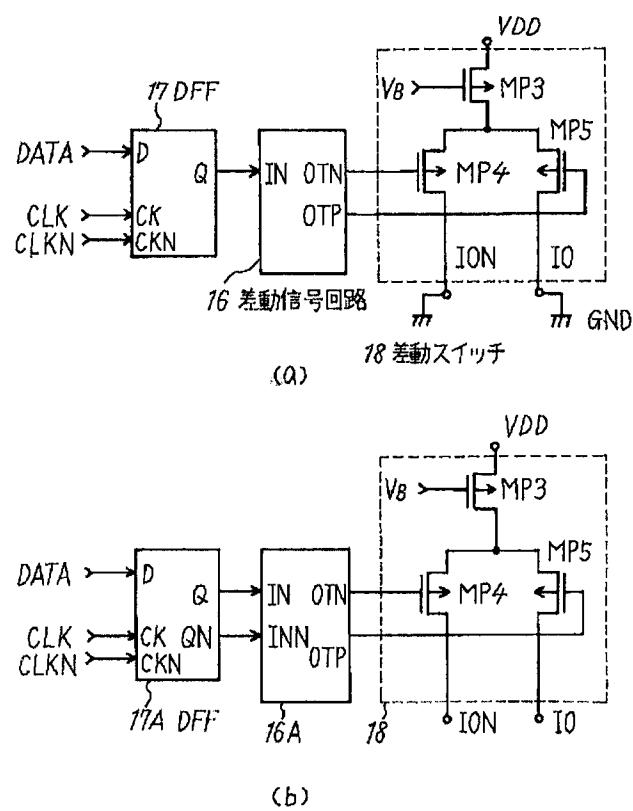
【図6】



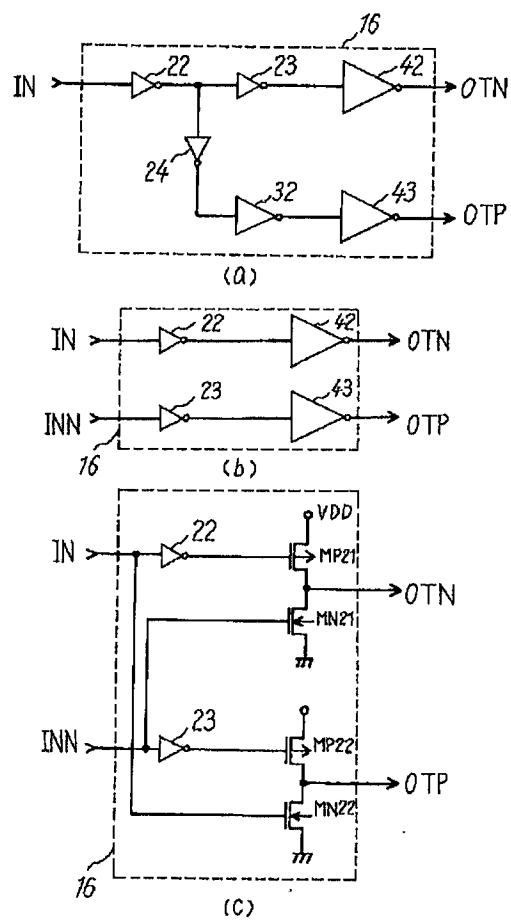
【図7】



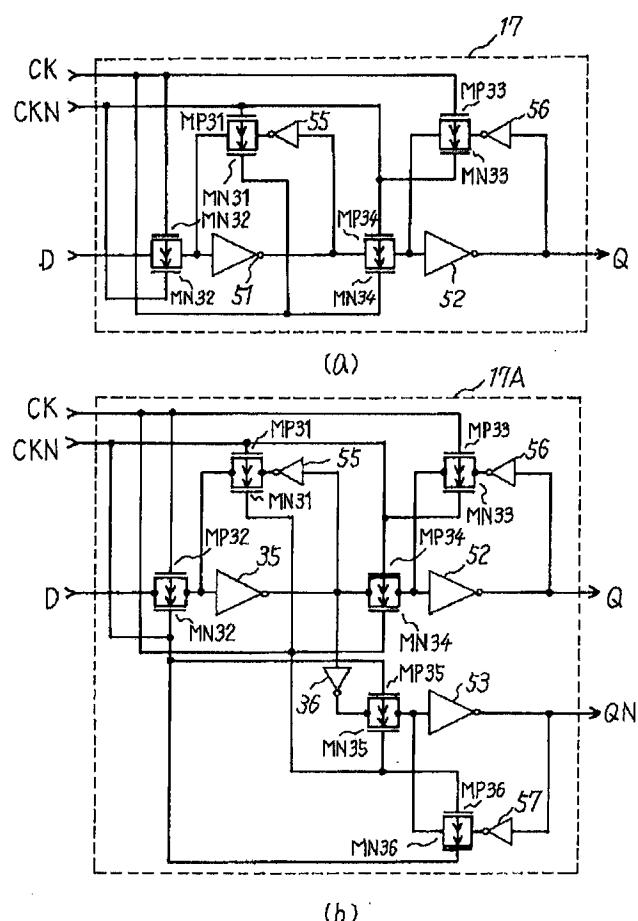
【図8】



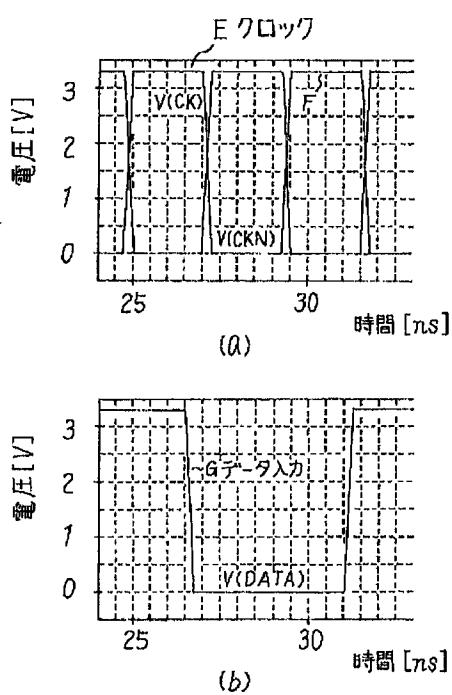
【図 9】



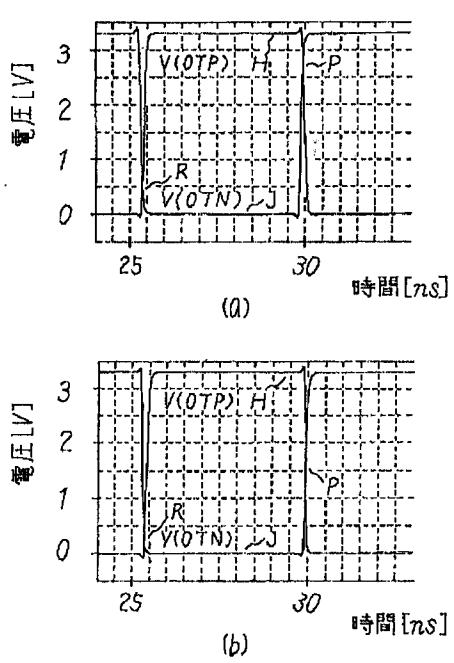
【図 10】



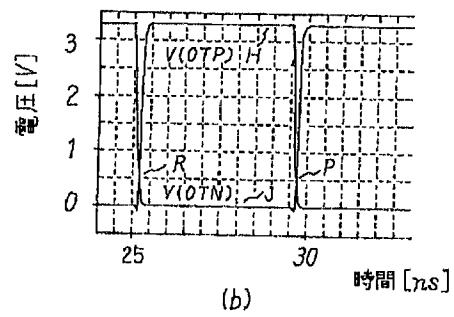
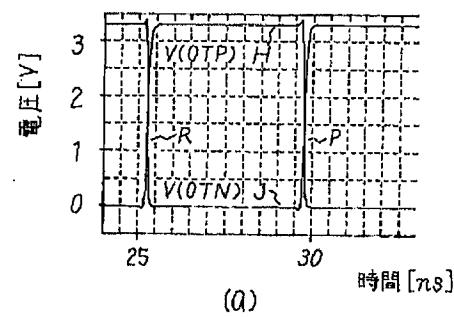
【図 11】



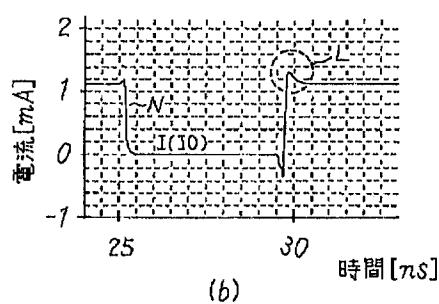
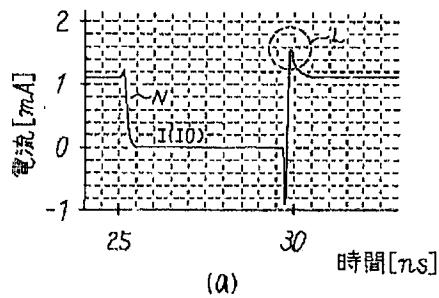
【図 12】



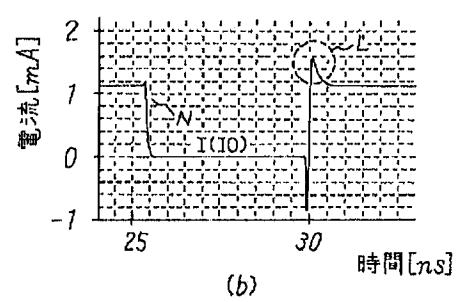
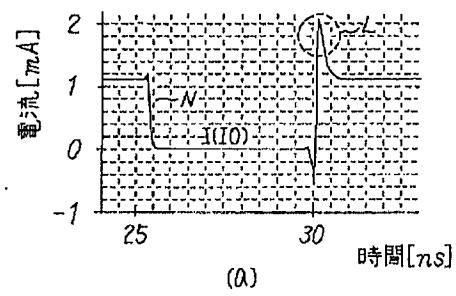
【図13】



【図15】



【図14】



【図16】

